

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-297822

(43)Date of publication of application : 17.10.2003

(51)Int.Cl.

H01L 21/316

H01L 21/318

H01L 29/78

(21)Application number : 2002-097906

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 29.03.2002

(72)Inventor : SUGAWARA TAKUYA  
TADA YOSHIHIDE  
NAKAMURA MOTOSHI  
OZAKI AKINORI  
NAKANISHI TOSHIO  
SASAKI MASARU  
MATSUYAMA SEIJI

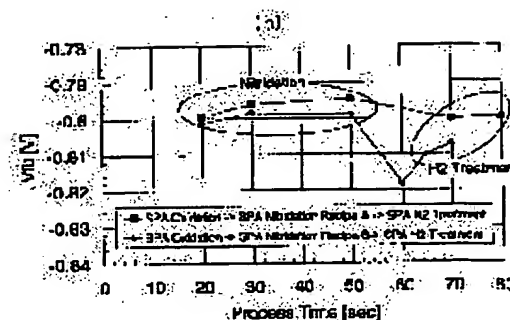
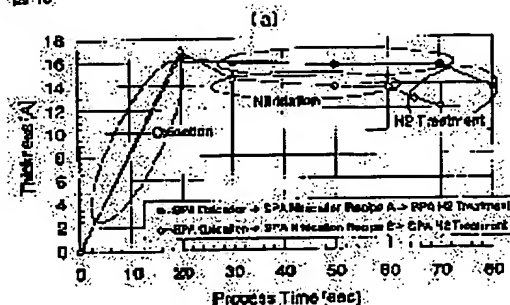
## (54) METHOD OF FORMING INSULATION FILM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that a conventional thermal oxide film and a method of forming an insulation film by a CVD method are inadequate to meet requirements of applications to a rapid and low power consuming device in future, and moreover, devices of various types are required to obtain proper device characteristics, and have problems in operability and footprinting.

**SOLUTION:** By conducting processes such as cleaning, oxidation, nitriding, and reduction in film thickness without exposing to the air, an insulation film having high cleanness can be formed. Moreover, by conducting various processes associated with the formation of the insulation film using the same principle of operation, the types of the devices can be simplified and the insulation film having superior characteristics can be efficiently formed.

図 10



## LEGAL STATUS

[Date of request for examination]

11.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-297822  
(P2003-297822A)

(43) 公開日 平成15年10月17日 (2003. 10. 17)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 1 L 21/316		H 0 1 L 21/316	A 5 F 0 5 8
21/318		21/318	A 5 F 1 4 0
29/78		29/78	3 0 1 G

審査請求 有 請求項の数15 O L (全 19 頁)

(21) 出願番号 特願2002-97906 (P2002-97906)

(22) 出願日 平成14年3月29日 (2002. 3. 29)

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂五丁目3番6号

(72) 発明者 菅原 卓也

東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内

(72) 発明者 多田 吉秀

東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外4名)

最終頁に続く

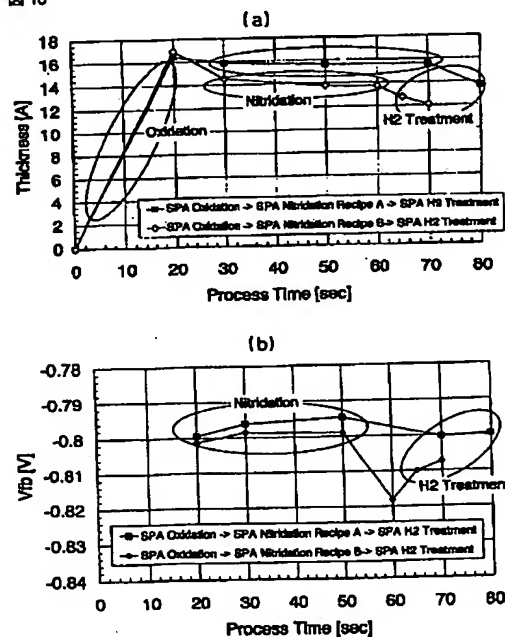
(54) 【発明の名称】 絶縁膜の形成方法

(57) 【要約】

【課題】 従来の熱酸化膜やCVD法による絶縁膜の形成方法のみでは、今後の高速、低消費電力デバイスへの応用は不十分である。また、良好なデバイス特性を得るためには様々な形体を持った装置を使用する必要がある。操作性やフットプリントの点で問題がある。

【解決手段】 本発明により、大気への暴露を避けて、洗浄、酸化、窒化、薄膜化などの処理を行うことで、洗浄度の高い絶縁膜の形成が可能となる。さらに、同一の動作原理を用いて絶縁膜の形成に関する様々な工程を行うことで、装置形体の簡略化を実現し、特性の優れた絶縁膜を効率よく形成することが可能となる。

図 10



## 【特許請求の範囲】

【請求項1】 電子デバイス用基材上に絶縁膜を形成するプロセスにおいて、該工程に含まれる絶縁膜特性を制御する2以上の工程が、同一の動作原理下で行われることを特徴とする基材表面の絶縁膜の形成方法。

【請求項2】 前記同一の動作原理下で行われる工程が、前記基材表面および／又は絶縁膜の洗浄、酸化、窒化、およびエッチングからなる群から選ばれる2以上の工程である請求項1に記載の絶縁膜の形成方法。

【請求項3】 前記電子デバイス用基材が、半導体材料である請求項1または2に記載の絶縁膜の形成方法。

【請求項4】 前記電子デバイス用基材が、単結晶シリコンを主成分とする基板である請求項1～3のいずれかに記載の絶縁膜の形成方法。

【請求項5】 前記動作原理が、少なくとも希ガスを含む処理ガスに基づくプラズマを含む請求項1～4のいずれかに記載の絶縁膜の形成方法。

【請求項6】 前記プラズマが、平面アンテナ部材（スロットブレインアンテナ）を介するマイクロ波照射に基づくプラズマである請求項5に記載の絶縁膜の形成方法。

【請求項7】 前記プロセスが洗浄工程を含み、且つ、該洗浄工程が、少なくとも希ガスを含む処理ガスに基づくプラズマに基づく処理を含む請求項1～6のいずれかに記載の絶縁膜の形成方法。

【請求項8】 前記洗浄工程が、少なくとも希ガスと水素ガスを含む処理ガスに基づくプラズマ処理を含む請求項7に記載の絶縁膜の形成方法。

【請求項9】 前記プロセスが酸化工程を含み、且つ、該酸化工程が、少なくとも希ガスと酸素とを含む処理ガスに基づくプラズマ処理を含む請求項1～8のいずれかに記載の絶縁膜の形成方法。

【請求項10】 前記プロセスが窒化工程を含み、且つ、該窒化工程が、少なくとも希ガスと窒素とを含む処理ガスに基づくプラズマ処理を含む請求項1～9のいずれかに記載の絶縁膜の形成方法。

【請求項11】 前記プロセスがエッチング工程を含み、且つ、該エッチング工程が、少なくとも希ガスと水素とを含む処理ガスに基づくプラズマ処理を含む請求項1～9のいずれかに記載の絶縁膜の形成方法。

【請求項12】 前記基材表面および／又は絶縁膜の洗浄、酸化、窒化、およびエッチングからなる群から選ばれる2以上の工程が、同一容器内で行われる請求項2に記載の絶縁膜の形成方法。

【請求項13】 前記プロセスにより形成された絶縁膜が、CVD（化学気相堆積）絶縁膜の下地絶縁膜として用いられる請求項1～12のいずれかに記載の絶縁膜の形成方法。

【請求項14】 前記絶縁膜が、High-k（高誘電率）材料を含む絶縁膜である請求項1～13のいずれか

に記載の絶縁膜の形成方法。

【請求項15】 前記基材表面および／又は絶縁膜の洗浄、酸化、窒化、およびエッチングからなる群から選ばれる2以上の工程が、該基材表面および／又は絶縁膜の大気への暴露（大気解放）を避けて行われる請求項2に記載の絶縁膜の形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、様々な特性（例えば、極薄膜厚の制御や、高い清浄度等）に優れた絶縁膜を効率よく（例えば、一つの反応室で様々な工程を行うことによる小さいフットプリントや、同一の動作原理の反応室で様々な工程を行うことによる操作性の簡略化、装置間のクロスコンタミネーションの抑制等）製造する方法に関する。本発明の電子デバイス材料の製造方法は、例えば半導体ないし半導体デバイス（例えば、特性に優れたゲート絶縁膜を有するMOS型半導体構造を有するもの）用の材料を形成するために好適に使用することが可能である。

## 【0002】

【従来の技術】本発明は半導体ないし半導体装置、液晶デバイス等の電子デバイス材料の製造に一般的に広く適用可能であるが、ここでは説明の便宜のために、半導体装置（devices）の背景技術を例にとって説明する。

【0003】シリコンを始めとする半導体ないし電子デバイス材料用基材には、酸化膜を始めとする絶縁膜の形成、CVD等による成膜、エッチング等の種々の処理が施される。

【0004】近年の半導体デバイスの高性能化は、トランジスタを始めとする該デバイスの微細化技術の上に発展してきたといっても過言ではない。現在も更なる高性能化を目指してトランジスタの微細化技術の改善がなされている。近年の半導体装置の微細化、および高性能化の要請に伴い、（例えば、リーク電流の点で）より高性能な絶縁膜に対するニーズが著しく高まって来ている。これは、従来の比較的に集積度が低いデバイスにおいては事実上問題とならなかったような程度のリーク電流であっても、近年の微細化・高集積化および／又は高性能化したデバイスにおいては、シビアな問題を生ずる可能性があるためである。特に、近年始まった、いわゆるユビキタス社会（何時でもどこでもネットワークに繋がる電子デバイスを媒体にした情報化社会）における携帯型電子機器の発達には低消費電力デバイスが必須であり、このリーク電流の低減が極めて重要な課題となる。

【0005】典型的には、例えば、次世代MOSトランジスタを開発する上で、上述したような微細化技術が進むにつれてゲート絶縁膜の薄膜化が限界に近づいてきており、克服すべき大きな課題が現れてきた。すなわち、プロセス技術としては現在ゲート絶縁膜として用いられているシリコン酸化膜（SiO<sub>2</sub>）を極限（1～2原子

層レベル)まで薄膜化することは可能であるものの、2 nm以下の膜厚まで薄膜化を行った場合、量子効果によるダイレクトトンネルによるリーク電流の指数関数的な増加が生じ、消費電力が増大してしまうという問題点である。

【0006】現在、IT(情報技術)市場はデスクトップ型パーソナルコンピュータや家庭電話等に代表される固定式電子デバイス(コンセントから電力を供給するデバイス)から、インターネット等にいつでもどこでもアクセスできる「ユビキタス・ネットワーク社会」への変貌を遂げようとしている。従って、ごく近い将来に、携帯電話やカーナビゲーションシステムなどの携帯端末が主流となると考えられる。このような携帯端末は、それ自体が高性能デバイスであることが要求されるが、これと同時に、上記の固定式デバイスではそれほど必要とされない小型、軽量かつ長時間使用に耐えうる機能を備えていることが前提となる。よって、携帯端末においては、これらの高性能化を図りつつ、しかも消費電力の低減化が極めて重要な課題となっている。

【0007】典型的には、例えば、次世代MOSトランジスタを開発する上で、高性能のシリコンLSIの微細化を追求していくとリーク電流が増大して、消費電力も増大するという問題が生じている。そこで性能を追求しつつ消費電力を少なくするためには、MOSトランジスタのゲートリーク電流を増加させずにトランジスタの特性を向上させることが必要となる。

【0008】このような微細化および特性の向上を両立させるためには、良質で且つ薄い(例えば、膜厚が15 Å; オングストローム以下程度)絶縁膜の形成が不可欠である。

【0009】

【発明が解決しようとする課題】しかしながら、良質で且つ薄い絶縁膜の形成は極めて困難である。例えば、従来の熱酸化法またはCVD(化学気相堆積法)により、このような絶縁膜を成膜した場合には、膜質または膜厚のいずれか一方の特性が不十分であった。

【0010】本発明の目的は、上記した従来技術の欠点を解消した電子デバイス用基材上の薄い絶縁膜の形成方法を提供することにある。

【0011】本発明の他の目的は、その後の処理(CVD等による成膜、エッチング等)を好適に行うことが可能な、膜質または膜厚のいずれも優れた絶縁膜を与えることができる、電子デバイス用基材表面の薄い絶縁膜の形成方法を提供することにある。本発明の更に他の目的は、同一の動作原理を用いて上記絶縁膜の形成に関する様々な工程を行うことで、装置形体の簡略化を実現し、特性の優れた絶縁膜を効率よく形成することにある。

【0012】

【課題を解決するための手段】本発明者は鋭意研究の結果、従来のような一つの装置で一つの工程を行うだけで

はなく、一つの装置で様々な工程を行うことが可能な方法を用いて絶縁膜を形成することが上記目的達成の為に極めて効果的であることを見出した。

【0013】本発明による電子デバイス用基材表面の絶縁膜の形成方法は上記知見に基づくものであり、より詳しくは、電子デバイス用基材上に絶縁膜を形成するプロセスにおいて、該工程に含まれる絶縁膜特性を制御する2以上の工程が、同一の動作原理下で行われることを特徴とするものである。本発明においては、例えば、電子デバイス用基材に少なくとも希ガスを含む処理ガスを用いたプラズマを照射することでクリーニング効果を得るものや、同様のプラズマに酸素や窒素を含むことで酸化や窒化を行うもの、酸化膜を始めとする酸素原子を含む絶縁膜に同様のプラズマに少なくとも水素を含むことで絶縁膜の厚さを低減させることができる。

【0014】上記構成を有する本発明の絶縁膜の形成方法によれば例えば、膜質に重点を置いて任意の厚さの膜を形成した後に、特定のプラズマ処理により薄膜化することにより、任意の膜厚の絶縁膜が容易に得ることができる。

【0015】

【発明の実施の形態】以下、必要に応じて図面を参照しつつ本発明を更に具体的に説明する。以下の記載において量比を表す「部」および「%」は、特に断らない限り質量基準とする。

【0016】(絶縁膜の形成方法)

【0017】本発明においては、電子デバイス用基材に少なくとも希ガスを含む処理ガスをういたプラズマを照射することでクリーニング効果を得るものや、同様のプラズマに酸素や窒素を含むことで酸化や窒化を行うもの、酸化膜を始めとする酸素原子を含む絶縁膜に同様のプラズマに少なくとも水素を含むことで絶縁膜の厚さを低減させるなどの2以上の工程を任意に組み合わせることによって、極めて薄い(15 Å以下)絶縁膜を形成することができる。本発明の絶縁膜の形成方法の適用の対象は特に制限されないが、本発明は、例えば、成膜条件等に敏感な高誘電率(High- $\kappa$ )材料の成膜に特に適した表面を有する、薄い絶縁膜を与える。

【0018】(形成される絶縁膜)本発明により形成可能な絶縁膜の組成、厚さ、形成法、特性は以下の通りである。

組成: 酸化膜、酸窒化膜、窒化膜

形成法: 少なくとも希ガスを含むプラズマを用いた単一の容器内において、電子基材上に洗浄、酸化、窒化、薄膜化の1または2以上の工程が施されたもの。もしくは、同一の動作原理により形成される少なくとも希ガスを含むプラズマを複数の容器内に発生させ、電子基材上に洗浄、酸化、窒化、薄膜化の工程が施されたもの。

厚さ: 物理的薄膜 5 Å~20 Å

【0019】(膜質および膜厚の評価)

【0020】本発明により得られた薄い絶縁膜の膜質および膜厚の程度は、例えば、該表面上に実際にHigh-k材料を成膜することにより、好適に評価することができる。この際に良質なHigh-k材料膜が得られたか否かは、例えば、文献(VLSIデバイスの物理 岸野正剛、小柳光正著 丸善P62~P63)に記載されたような標準的なMOS半導体構造を形成して、そのMOSの特性を評価することにより、上記絶縁膜自体の特性評価に代えることができる。このような標準的なMOS構造においては、該構造を構成する絶縁膜の特性が、MOS特性に強い影響を与えるからである。

【0021】このようなMOS構造の形成としては、例えば、後述する実施例1の条件で、そのHigh-k材料膜を含むMOSキャパシタを形成することができる。このように実施例1の条件で、High-k材料膜を含むMOSキャパシタを形成した場合に、本発明においては、下記のような(1)フラットバンド特性または(2)リーク特性(より好ましくは、これらの両方)が得られることが好ましい。

【0022】(1)好ましいフラットバンド特性：熱酸化膜と比較して $\pm 50 \text{ mV}$ 以内

【0023】(2)リーク特性：熱酸化膜と比較して1桁以下の低減

【0024】(後の処理との組合せ)

【0025】本発明の絶縁膜の形成方法により得られる薄い絶縁膜は、種々の続く処理に適したものとなる。このような「後の処理」は、特に制限されず、酸化膜の形成、CVD等による成膜、エッチング等の種々の処理であってよい。本発明の絶縁膜の形成方法は、低温で行うことが可能であるため、その後の処理も比較的低温(好ましくは $600^\circ\text{C}$ 以下、更には $500^\circ\text{C}$ 以下)の温度条件下の処理と組み合わせる場合に、特に効果的である。その理由は、本発明を用いることで、デバイス作製工程においてもっとも高温を必要とする工程の一つである酸化膜の形成を低温で行うことが可能となっているため、高い熱履歴を避けたデバイス作製が可能となっているからである。

【0026】(電子デバイス用基材)

【0027】本発明において使用可能な上記の電子デバイス用基材は特に制限されず、公知の電子デバイス用基材の1種または2種以上の組合せから適宜選択して使用することが可能である。このような電子デバイス用基材の例としては、例えば、半導体材料、液晶デバイス材料等が挙げられる。半導体材料の例としては、例えば、単結晶シリコンを主成分とする材料、シリコンゲルマニウムを主成分とする材料等が挙げられる。

【0028】(処理ガス)

【0029】本発明において使用可能な処理ガスは、少なくとも希ガスを含む限り特に制限されず、電子デバイス製造に使用可能な公知の処理ガスの1種または2種以

上の組合せから適宜選択して使用することが可能である。このような処理ガス(希ガス)の例としては、例えば、Ar、He、Kr、Xe、 $\text{O}_2$ 、 $\text{N}_2$ 、 $\text{H}_2$ 、 $\text{NH}_3$ が挙げられる。

【0030】(処理ガス条件)

【0031】本発明の絶縁膜の形成においては、得られるべき薄い絶縁膜の特性の点からは、下記の条件が好適に使用できる。

【0032】希ガス(例えば、Kr、Ar、HeまたはXe)： $500 \sim 3000 \text{ sccm}$ 、より好ましくは $1000 \sim 2000 \text{ sccm}$ 、

【0033】洗浄工程では、少なくとも希ガスを含む処理ガスで、さらに水素ガスを添加することができる。水素ガスの流量は $\text{H}_2$ ： $0 \sim 100 \text{ sccm}$ 、より好ましくは $0 \sim 50 \text{ sccm}$ である。酸化工程では、少なくとも希ガスと酸素を含む処理ガスで、酸素ガス流量は $\text{O}_2$ ： $10 \sim 500 \text{ sccm}$ 、より好ましくは $10 \sim 200 \text{ sccm}$ である。窒化工程では、少なくとも希ガスと窒素を含む処理ガスで、窒素ガス流量は $\text{N}_2$ ： $3 \sim 300 \text{ sccm}$ 、より好ましくは $20 \sim 200 \text{ sccm}$ である。エッチング工程では少なくとも希ガスと水素を含む処理ガスで、水素ガス流量は $\text{H}_2$ ： $0 \sim 100 \text{ sccm}$ 、より好ましくは $0 \sim 50 \text{ sccm}$ である。

【0034】温度：室温 $25^\circ\text{C} \sim 500^\circ\text{C}$ 、より好ましくは $250 \sim 500^\circ\text{C}$ 、特に好ましくは $250 \sim 400^\circ\text{C}$

【0035】圧力： $3 \sim 500 \text{ Pa}$ 、より好ましくは $7 \sim 260 \text{ Pa}$ 、

【0036】マイクロ波： $1 \sim 5 \text{ W/cm}^2$ 、より好ましくは $2 \sim 4 \text{ W/cm}^2$ 、特に好ましくは $2 \sim 3 \text{ W/cm}^2$

本発明において使用可能なプラズマは特に制限されないが、均一な薄膜化が容易に得られる点からは、電子温度が比較的到低くかつ高密度なプラズマを用いることが好ましい。

【0037】(好適なプラズマ)

【0038】本発明において好適に使用可能なプラズマの特性は、以下の通りである。

【0039】電子温度： $0.5 \sim 2.0 \text{ eV}$

【0040】密度： $1 \text{ E}10 \sim 5 \text{ E}12 / \text{cm}^3$

【0041】プラズマ密度の均一性： $\pm 10\%$

【0042】(平面アンテナ部材)

【0043】本発明の絶縁膜の形成方法においては、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することにより電子温度が低くかつ高密度なプラズマを形成することが好ましい。本発明においては、このような優れた特性を有するプラズマを用いて酸化膜の形成を行うため、プラズマダメージが小さく、かつ低温で反応性の高いプロセスが可能となる。本発明においては、更に、(従来のプラズマを用いた場合に比

7  
べ) 平面アンテナ部材を介してマイクロ波を照射することにより、より好適に薄膜化された絶縁膜の形成が容易であるという利点が得られる。

【0044】本発明によれば、薄膜化された絶縁膜を形成することができる。したがって、この薄膜化された絶縁膜上に他の層(例えば、他の絶縁層)を形成することにより、特性に優れた半導体装置の構造を形成することが容易となる。本発明により薄膜化された絶縁膜は、該薄膜化絶縁膜の表面上へのHigh-k材料膜の成膜に特に適している。

【0045】(High-k材料)

【0046】本発明において使用可能なHigh-k材料は特に制限されないが、物理的膜厚を増加させる点からは、k(比誘電率)の値が7以上、更には10以上のものが好ましい。

【0047】このようなHigh-k材料の例としては、 $Al_2O_3$ 、 $ZrO_2$ 、 $HfO_2$ 、 $Ta_2O_5$ 、および $ZrSiO_4$ 、 $HfSiO_4$ 等のシリケート； $ZrAlO_3$ 等のアルミネートからなる群から選択される1又は2以上のものが好適に使用可能である。

【0048】(同一容器内における処理)

【0049】以下に述べる「同一の容器内」とは、ある工程の後に、被処理基材を、該容器の壁を通過させることなく、続く処理に供することをいう。複数の容器を組み合わせてなる、いわゆる「クラスタ」構造を用いた場合、該クラスタを構成する異なる容器間の移動があった場合は、本発明にいう「同一の容器内」ではないものとする。

【0050】本発明において、このように「同一の容器内」で、処理すべき基材(シリコン基板等)を大気へ暴露することなく、連続的に複数の工程を同一の原理を持った反応室内で行うことが可能となり、例えば一つの反応室ですべての工程を行うことでフットプリントの低減が実現できる。また、各工程を別の反応室で処理する場合も、動作原理が同じ反応室を並べるため、ガス配管や操作パネルを同一のものにすることも可能であり、優れたメンテナンス、操作性を実現できる。更に、同一の装置であるために装置間の持ち込み汚染の可能性は低く、複数の反応室を持つクラスター構成とした場合でも、処理順番を様々に変えることが可能である。この方法を用いると様々な特性を持つゲート絶縁膜の作製が可能となる。

【0051】本発明を用いて作製された酸化膜または酸化窒化膜をそのままゲート絶縁膜として使用することも可能であるが、本発明を用いて極薄(～10Å；オングストローム)の酸化膜または酸化窒化膜を形成し、その上にHigh-kなどの高誘電率を持つ物質を成膜することで、High-k物質単独でゲート絶縁膜を形成した場合よりも界面特性、例えばトランジスタのキャリア移動度の高い積層ゲート絶縁膜構造(ゲートスタック構造)

を作ることにも可能となる。

【0052】(半導体構造の好適な特性)

【0053】本発明の絶縁膜の形成方法を適用すべき範囲は特に制限されないが、本発明により形成可能な清浄化された表面は、その上にMOS構造のゲート絶縁膜(例えばHigh-k材料を含むゲート絶縁膜)を形成する際に、特に好適に利用することができる。

【0054】(MOS半導体構造の好適な特性)

10 【0055】本発明により清浄化された基材上に形成可能な極めて薄く、しかも良質な絶縁膜は、半導体装置の絶縁膜(特にMOS半導体構造のゲート絶縁膜)として特に好適に利用することができる。

【0056】本発明によれば、下記のように好適な特性を有するMOS半導体構造を容易に製造することができる。なお、本発明により形成した酸化窒化膜の特性を評価する際には、例えば、文献(VLSIデバイスの物理 岸野正剛、小柳光正著 丸善P62～P63)に記載されたような標準的なMOS半導体構造を形成して、そのMOSの特性を評価することにより、上記酸化窒化膜の自体の特性評価に代えることができる。このような標準的なMOS構造においては、該構造を構成する酸化窒化膜の特性が、MOS特性に強い影響を与えるからである。

【0057】(製造装置の一態様)

【0058】以下、本発明の形成方法の好適な一態様について説明する。

【0059】まず本発明の電子デバイス材料の製造方法によって製造可能な半導体装置の構造の一例について、絶縁膜としてゲート絶縁膜を備えたMOS構造を有する半導体装置を図1を参照しつつ説明する。

30 【0060】図1(a)を参照して、この図1(a)において参照番号1はシリコン基板、11はフィールド酸化膜、2はゲート絶縁膜であり、13はゲート電極である。上述したように、本発明の形成方法によれば極めて薄く且つ良質なゲート絶縁膜2を形成することができる。このゲート絶縁膜2は、図1(b)に示すように、シリコン基板1との界面に形成された、品質の高い絶縁膜からなる。例えば2.5nm程度の厚さの酸化膜2により構成されている。

40 【0061】この例では、この品質の高い酸化膜2は、 $O_2$ および希ガスを含む処理ガスの存在下で、Siを主成分とする被処理基体に、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することによりプラズマを形成し、このプラズマを用いて前記被処理基体表面に形成されたシリコン酸化膜(以下「SiO<sub>2</sub>膜」という)からなることが好ましい。このようなSiO<sub>2</sub>膜を用いた際には、後述するように、相間の界面特性(例えば、界面準位)が良好で、且つMOS構造とした際に良好なゲートリーク特性を得ることが容易という特徴がある。

50 【0062】図1に示す態様においては、このシリコン

酸化膜2の窒化処理された表面の上には、更にシリコン（ポリシリコンまたはアモルファスシリコン）を主成分とするゲート電極13が形成されている。

【0063】（製造方法の一態様）

【0064】次に、このようなシリコン酸化膜2、更にその上にゲート電極13が配設された電子デバイス材料の製造方法について説明する。

【0065】図2は本発明の電子デバイス材料の製造方法を実施するための半導体製造装置30の全体構成の一例を示す概略図（模式平面図）である。

【0066】図2に示すように、この半導体製造装置30のはば中央には、ウエハW（図2）を搬送するための搬送室31が配設されており、この搬送室31の周囲を取り囲むように、ウエハに種々の処理を行うためのプラズマ処理ユニット32、33、各処理室間の連通／遮断の操作を行うための二機のロードロックユニット34および35、種々の加熱操作を行うための加熱ユニット36、およびウエハに種々の加熱処理を行うための加熱反応炉47が配設されている。なお、加熱反応炉47は、上記半導体製造装置30とは別個に独立して設けてもよい。

【0067】ロードロックユニット34、35の横には、種々の予備冷却ないし冷却操作を行うための予備冷却ユニット45、冷却ユニット46がそれぞれ配設されている。

【0068】搬送室31の内部には、搬送アーム37および38が配設されており、前記各ユニット32～36との間でウエハW（図2）を搬送することができる。

【0069】ロードロックユニット34および35の図中手前側には、ローダーアーム41および42が配設されている。これらのローダーアーム41および42は、更にその手前側に配設されたカセットステージ43上にセットされた4台のカセット44との間でウエハWを出し入れすることができる。

【0070】なお、図2中のプラズマ処理ユニット32、33としては、同型のプラズマ処理ユニットが二基並列してセットされている。

【0071】更に、これらプラズマ処理ユニット32およびユニット33は、ともにシングルチャンバ型CVD処理ユニットと交換することが可能であり、プラズマ処理ユニット32や33の位置に一基または二基のシングルチャンバ型CVD処理ユニットをセットすることも可能である。

【0072】プラズマ処理が二基の場合、例えば、処理ユニット32でSiO<sub>2</sub>膜を形成した後、処理ユニット33でSiO<sub>2</sub>膜を表面窒化する方法を行っても良く、また処理ユニット32および33で並列にSiO<sub>2</sub>膜形成とSiO<sub>2</sub>膜の表面窒化を行っても良い。或いは別の装置でSiO<sub>2</sub>膜形成を行った後、処理ユニット32および33で並列に表面窒化を行うこともできる。

【0073】（ゲート絶縁膜成膜の一態様）

【0074】図3はゲート絶縁膜2の成膜に使用可能なプラズマ処理ユニット32（33）の垂直方向の模式断面図である。

【0075】図3を参照して、参照番号50は、例えばアルミニウムにより形成された真空容器である。この真空容器50の上面には、基板（例えばウエハW）よりも大きい開口部51が形成されており、この開口部51を塞ぐように、例えば石英や酸化アルミニウム等の誘電体により構成された偏平な円筒形状の天板54が設けられている。この天板54の下面である真空容器50の上部側の側壁には、例えばその周方向に沿って均等に配置した16箇所の位置にガス供給管72が設けられており、このガス供給管72からO<sub>2</sub>、や希ガス、N<sub>2</sub>およびH<sub>2</sub>等から選ばれた1種以上を含む処理ガスが、真空容器50のプラズマ領域P近傍にムラなく均等に供給されるようになっている。

【0076】天板54の外側には、複数のスロットを有する平面アンテナ部材、例えば銅板により形成されたスロットプレーンアンテナ（Slot Plane Antenna；SPA）60を介して、高周波電源部をなし、例えば2.45GHzのマイクロ波を発生するマイクロ波電源部61に接続された導波路63が設けられている。この導波路63は、SPA60に下縁が接続された偏平な平板状導波路63Aと、この平板状導波路63Aの上面に一端側が接続された円筒形導波管63Bと、この円筒形導波管63Bの上面に接続された同軸導波変換器63Cと、この同軸導波変換器63Cの側面に直角に一端側が接続され、他端側がマイクロ波電源部61に接続された矩形導波管63Dとを組み合わせ構成されている。

【0077】ここで、本発明においては、UHFとマイクロ波とを含めて高周波領域と呼ぶものとする。すなわち、高周波電源部より供給される高周波電力は300MHz以上のUHFや1GHz以上のマイクロ波を含む、300MHz以上2500MHz以下のものとし、これらの高周波電力により発生されるプラズマを高周波プラズマと呼ぶものとする。

【0078】前記円筒形導波管63Bの内部には、導電性材料からなる軸部62の、一端側がSPA60の上面のはば中央に接続し、他端側が円筒形導波管63Bの上面に接続するように同軸状に設けられており、これにより当該導波管63Bは同軸導波管として構成されている。

【0079】また真空容器50内には、天板54と対向するようにウエハWの載置台52が設けられている。この載置台52には図示しない温調部が内蔵されており、これにより当該載置台52は熱板として機能するようになっている。更に真空容器50の底部には排気管53の一端側が接続されており、この排気管53の他端側は真空ポンプ55に接続されている。

【0080】(SPAの一様様)

【0081】図4は本発明の電子デバイス材料の製造装置に使用可能なSPA60の一例を示す模式平面図である。

【0082】この図4に示したように、このSPA60では、表面に複数のスロット60a、60a、…が同心円状に形成されている。各スロット60aは略方形の貫通した溝であり、隣接するスロットどうしは互いに直交して略アルファベットの「T」の文字を形成するように配設されている。スロット60aの長さや配列間隔は、

【0083】(加熱反応炉の一様様)

【0084】図5は本発明の電子デバイス材料の製造装置に使用可能な加熱反応炉47の一例を示す垂直方向の模式断面図である。

【0085】図5に示すように、加熱反応炉47の処理室82は、例えばアルミニウム等により気密可能な構造に形成されている。この図5では省略されているが、処理室82内には加熱機構や冷却機構を備えている。

【0086】図5に示したように、処理室82には上部中央にガスを導入するガス導入管83が接続され、処理室82内とガス導入管83内とが連通されている。また、ガス導入管83はガス供給源84に接続されている。そして、ガス供給源84からガス導入管83にガスが供給され、ガス導入管83を介して処理室82内にガスが導入されている。このガスとしては、ゲート電極形成の原料となる、例えばシラン等の各種のガス(電極形成ガス)を用いることができ、必要に応じて、不活性ガスをキャリアガスとして用いることもできる。

【0087】処理室82の下部には、処理室82内のガスを排気するガス排気管85が接続され、ガス排気管85は真空ポンプ等からなる排気手段(図示せず)に接続されている。この排気手段により、処理室82内のガスがガス排気管85から排気され、処理室82内が所望の圧力に設定されている。

【0088】また、処理室82の下部には、ウエハWを載置する載置台87が配置されている。

【0089】この図5に示した態様においては、ウエハWと略同径大の図示しない静電チャックによりウエハWが載置台87上に載置されている。この載置台87には、図示しない熱源手段が内設されており、載置台87上に載置されたウエハWの処理面を所望の温度に調整できる構造に形成されている。

【0090】この載置台87は、必要に応じて、載置したウエハWを回転できるような機構になっている。

【0091】図5中、載置台87の右側の処理室82壁面にはウエハWを出し入れするための開口部82aが設けられており、この開口部82aの開閉はゲートバルブ98を図中上下方向に移動することにより行われる。図

5中、ゲートバルブ98の更に右側にはウエハWを搬送する搬送アーム(図示せず)が隣設されており、搬送アームが開口部82aを介して処理室82内に出入りして載置台87上にウエハWを載置したり、処理後のウエハWを処理室82から搬出するようになっている。

【0092】載置台87の上方には、シャワー部材としてのシャワーヘッド88が配設されている。このシャワーヘッド88は載置台87とガス導入管83との間の空間を区画するように形成されており、例えばアルミニウム等から形成されている。

【0093】シャワーヘッド88は、その上部中央にガス導入管83のガス出口83aが位置するように形成され、シャワーヘッド88下部に設置されたガス供給孔89を通し、処理室82内にガスが導入されている。

【0094】(絶縁膜形成の態様)

【0095】次に、上述した装置を用いて、ウエハW上にゲート絶縁膜2からなる絶縁膜を形成する方法の好適な一例について説明する。

【0096】図7は本発明の方法における(クリーニング処理後の)各工程の流れの一例を示すフローチャートである。

【0097】図7を参照して、まず、前段の工程でウエハW表面にフィールド酸化膜11(図1(a))を形成する。この酸化膜11は、(例えば、上述したSPA等を用いて)プラズマ処理により形成することもできる。

【0098】次いでプラズマ処理ユニット32(図2)内の真空容器50の側壁に設けたゲートバルブ(図示せず)を開いて、搬送アーム37、38により、前記シリコン基板1表面にフィールド酸化膜11が形成されたウエハWを載置台52(図3)上に載置する。

【0099】続いてゲートバルブを閉じて内部を密閉した後、真空ポンプ55により排気管53を介して内部雰囲気排気して所定の真空度まで真空引きし、所定の圧力に維持する。一方マイクロ波電源部61より例えば1.80GHz(2200W)のマイクロ波を発生させ、このマイクロ波を導波路により案内してSPA60および天板54を介して真空容器50内に導入し、これにより真空容器50内の上部側のプラズマ領域Pにて高周波プラズマを発生させる。

【0100】ここでマイクロ波は矩形導波管63D内を矩形モードで伝送し、同軸導波変換器63Cにて矩形モードから円形モードに変換され、円形モードで円筒形同軸導波管63Bを伝送し、更に平板状導波路63Aを径方向に伝送していき、SPA60のスロット60aより放射され、天板54を透過して真空容器50に導入される。この際マイクロ波を用いているため高密度・低電子程度のプラズマが発生し、またマイクロ波をSPA60の多数のスロット60aから放射しているため、このプラズマが均一な分布なものとなる。

【0101】次いで、載置台52の温度を調節してウエ

ハWを例えば400℃に加熱しながら、ガス供給管72より酸化膜形成用の処理ガスであるクリプトンやアルゴン等の希ガスと、 $O_2$ ガスとを、それぞれ2000sccm、200sccmの流量で導入して第1の工程（酸化膜の形成）を実施する。

【0102】この工程では、導入された処理ガスはプラズマ処理ユニット32内にて発生したプラズマ流により活性化（ラジカル化）され、このプラズマにより図8（a）の模式断面図に示すように、シリコン基板1の表面が酸化されて酸化膜（ $SiO_2$ 膜）2が形成される。こうしてこの酸化処理を例えば40秒間行い、2.5nmの厚さのゲート酸化膜またはゲート酸窒化膜用下地酸化膜（下地 $SiO_2$ 膜）2を形成することができる。

【0103】次に、ゲートバルブ（図示せず）を開き、真空容器50内に搬送アーム37、38（図2）を進入させ、載置台52上のウエハWを受け取る。この搬送アーム37、38はウエハWをプラズマ処理ユニット32から取り出した後、隣接するプラズマ処理ユニット33内の載置台にセットする（ステップ2）。また、用途により、ゲート酸化膜を窒化せずに熱反応炉47に移動する場合もある。

【0104】（窒化含有層形成の態様）

【0105】次いで、必要に応じて、このプラズマ処理ユニット33内でウエハW上に表面窒化処理が施され、先に形成された下地酸化膜（下地 $SiO_2$ ）2の表面上に窒化含有層21（図7（b））が形成される。

【0106】この表面窒化処理の際には、例えば、真空容器50内にて、ウエハ温度が例えば400℃、プロセス圧力が例えば66.7Pa（500mTorr）の状態で、容器50内にガス導入管よりアルゴンガスと、 $N_2$ ガスとを、それぞれ1000sccm、40sccmの流量で導入する。

【0107】その一方で、マイクロ波電源部61より例えば2W/cm<sup>2</sup>のマイクロ波を発生させ、このマイクロ波を導波路により案内してSPA60bおよび天板54を介して真空容器50内に導入し、これにより真空容器50内の上部側のプラズマ領域Pにて高周波プラズマを発生させる。

【0108】この工程（表面窒化）では、導入されたガスはプラズマ化し、窒素ラジカルが形成される。この窒素ラジカルがウエハW上面上の $SiO_2$ 膜上で反応し、比較的短時間で $SiO_2$ 膜表面を窒化する。このようにして図7（b）に示すように、ウエハW上の下地酸化膜（下地 $SiO_2$ 膜）2の表面に窒素含有層21が形成される。

【0109】この窒化処理を例えば20秒行うことで、換算膜厚2nm程度の厚さのゲート酸窒化膜（酸窒化膜）を形成することができる。

【0110】（ゲート電極形成の態様）

【0111】次に、ウエハW上の $SiO_2$ 膜上または下

地 $SiO_2$ 膜を窒化処理した酸窒化膜上にゲート電極13（図1（a））を形成する。このゲート電極13を形成するためには、ゲート酸化膜またはゲート酸窒化膜が形成されたウエハWをそれぞれプラズマ処理ユニット32または33内から取り出し、搬送室31（図2）側に一旦取り出し、しかる後に加熱反応炉47内に收容する（ステップ4）。加熱反応炉47内では所定の処理条件下でウエハWを加熱し、ゲート酸化膜またはゲート酸窒化膜上に所定のゲート電極13を形成する。

【0112】このとき、形成するゲート電極13の種類に応じて処理条件を選択することができる。

【0113】即ち、ポリシリコンからなるゲート電極13を形成する場合には、例えば処理ガス（電極形成ガス）として、 $SiH_4$ を使用し、20~33Pa（150~250mTorr）の圧力、570~690℃の温度条件下で処理する。

【0114】また、アモルファスシリコンからなるゲート電極13を形成する場合には、例えば処理ガス（電極形成ガス）として、 $SiH_4$ を使用し、20~67Pa（150~500mTorr）の圧力、520~570℃の温度条件下で処理する。

【0115】更に、 $SiGe$ からなるゲート電極13を形成する場合には、例えば $GeH_4/SiH_4=10/90\sim60/40\%$ の混合ガスを使用し、20~60Paの圧力、460~560℃の温度条件下で処理する。

【0116】（酸化膜の品質）

【0117】上述した第1の工程では、ゲート酸化膜またはゲート酸窒化膜用下地酸化膜を形成するに際し、処理ガスの存在下で、 $Si$ を主成分とするウエハWに、複数のスロットを有する平面アンテナ部材（SPA）を介してマイクロ波を照射することにより酸素（ $O_2$ ）および希ガスを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に酸化膜を形成しているため、品質が高く、且つ膜質制御を首尾よく行うことができる。

【0118】更には、図2に示すようなクラスター化を行うことで、ゲート酸化膜およびゲート酸窒化膜形成と、ゲート電極形成との間における大気への暴露を避けることが可能となり、界面特性の更なる向上が可能となる。

【0119】以下、実施例により本発明を更に具体的に説明する。

【0120】

【実施例】実施例1

【0121】以下の方法により、種々の評価を行うためのデバイスを形成した。

【0122】（1）：基板

基板にはP型のシリコン基板を用い、比抵抗が8~12 $\Omega$ cm、面方位（100）のものを用いた。シリコン基板表面には熱酸化法により500Å（オングストローム）

ム) 犠牲酸化膜が成膜されている。

【0123】(2): ゲート酸化前洗浄

APM (アンモニア、過酸化水素水、純水の混合液) と HPM (塩酸、過酸化水素水、純水の混合液) および D HF (フッ酸と純水の混合液) を組み合わせた RCA 洗浄によって犠牲酸化膜と汚染要素 (金属や有機物、パーティクル) を除去した。

【0124】(3): 酸化前プラズマ処理

【0125】上記(2)の処理後に、基板上に SPA プラズマ処理を施した。処理条件は以下である。ウェハを真空 (背圧  $1 \times 10^{-4}$  Pa 以下) の反応処理室に搬送したのち、基板温度  $400^\circ\text{C}$ 、希ガス (例えば Ar ガス)  $1000\text{ sccm}$ 、圧力を  $7\text{ Pa} \sim 133\text{ Pa}$  ( $50\text{ mTorr} \sim 1\text{ Torr}$ ) に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材 (SPA) を介して  $2 \sim 3\text{ W/cm}^2$  のマイクロ波を照射することにより希ガスプラズマを発生させ、基板表面上にプラズマ処理を施した。また、場合により希ガスに水素  $5 \sim 30\text{ sccm}$  を含ませることにより、水素プラズマによる酸化前処理を施す場合がある。

【0126】(4): プラズマ酸化プロセス

【0127】上記(3)の処理が施されたシリコン基板上に次に示すような方法で酸化膜を形成した。(3)の処理が施されたシリコン基板に大気への暴露を行わないまま次のようなプロセスを行う (例えば同じ反応室内で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室内で処理を行う等) ことで、(3)の処理で得られた有機物汚染除去や自然酸化膜除去効果を最適に維持したまま、酸化処理を施すことが出来る。 $400^\circ\text{C}$  に加熱されたシリコン基板上に希ガスと酸素とをそれぞれ  $1000 \sim 2000\text{ sccm}$ 、 $50 \sim 500\text{ sccm}$  ずつ流し、圧力を  $13\text{ Pa} \sim 133\text{ Pa}$  ( $100\text{ mTorr} \sim 1000\text{ mTorr}$ ) に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材 (SPA) を介して  $2 \sim 3\text{ W/cm}^2$  のマイクロ波を照射することにより酸素および希ガスとを含むプラズマを形成し、このプラズマを用いて3の基板上に  $\text{SiO}_2$  膜を成膜した。また、処理時間を含む処理条件を変えることで膜厚を制御した。

【0128】(5): プラズマ窒化プロセス

【0129】上記(4)の処理が施された酸化膜上に次に示すような方法で窒化を施した。(4)の処理が施された酸化膜上に大気への暴露を行わないまま次のようなプロセスを行う (例えば同じ反応室内で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室内で処理を行う等) ことで、(4)の処理で得られた酸化膜上部への有機物汚染や自然酸化膜増加を抑制したまま、窒化処理を施すことが出来る。 $400^\circ\text{C}$  に加熱されたシリコン基板上に希ガスと窒素とをそれぞれ  $500 \sim 2000\text{ sccm}$ 、 $4 \sim 500\text{ sccm}$  ずつ流し、圧力を  $3$

$\text{Pa} \sim 133\text{ Pa}$  ( $20\text{ mTorr} \sim 1000\text{ mTorr}$ ) に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材 (SPA) を介して  $3\text{ W/cm}^2$  のマイクロ波を照射することにより窒素および希ガスとを含むプラズマを形成し、このプラズマを用いて基板上に酸化窒化膜 ( $\text{SiON}$  膜) を成膜した。

【0130】(6): 水素プラズマによる薄膜化と V f b シフトの回復

【0131】(5)の処理が施された酸化窒化膜上に次に示すような方法で水素プラズマによるアニール処理を施した。(5)の処理が施された酸化窒化膜上に大気への暴露を行わないまま次のようなプロセスを行う (例えば同じ反応室内で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室内で処理を行う等) ことで、

(5)の処理で得られた酸化窒化膜上部への有機物汚染や自然酸化膜増加を抑制したまま、水素プラズマアニール処理を施すことが出来る。 $400^\circ\text{C}$  に加熱されたシリコン基板上に希ガスと水素とをそれぞれ  $500 \sim 2000\text{ sccm}$ 、 $4 \sim 500\text{ sccm}$  ずつ流し、圧力を  $3\text{ Pa} \sim 133\text{ Pa}$  ( $20\text{ mTorr} \sim 1000\text{ mTorr}$ ) に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材 (SPA) を介して  $2 \sim 3\text{ W/cm}^2$  のマイクロ波を照射することにより水素および希ガスとを含むプラズマを形成し、このプラズマを用いて酸化窒化膜上に水素プラズマアニール処理を施した。図11における SIMS 分析サンプルは本工程で処理を止め、分析を行ったものである。

【0132】(7): ゲート電極用ポリシリコン成膜

【0133】上記した処理(3)～(6)で形成した酸化窒化膜上にゲート電極としてポリシリコンを CVD 法にて成膜した。酸化窒化膜の成膜されたシリコン基板を  $630^\circ\text{C}$  で加熱し、基板上にシランガス  $250\text{ sccm}$  を  $33\text{ Pa}$  の圧力下で導入し30分保持することで  $\text{SiO}_2$  膜上に膜厚  $3000\text{ \AA}$  の電極用ポリシリコンを成膜した。

【0134】(8): ポリシリコンへの P (リン) ドープ

【0135】上記(7)で作製されたシリコン基板を  $875^\circ\text{C}$  に加熱し、基板上に  $\text{POCl}_3$  ガスと酸素および窒素をそれぞれ  $350\text{ sccm}$ 、 $200\text{ sccm}$ 、 $20000\text{ sccm}$  ずつ常圧下で導入し24分間保持することでポリシリコン中にリンをドープした。

【0136】(9): バターニング、ゲートエッチ

【0137】上記\*\* (8) \*\*で作製したシリコン基板上にリソグラフィによりバターニングを施し、 $\text{HF} : \text{HNO}_3 : \text{H}_2\text{O} = 1 : 60 : 60$  の比の薬液中にシリコン基板を3分間浸すことでバターニングされていない部分のポリシリコンを溶かし、MOS キャパシタを作製した。

【0138】実施例2

【0139】実施例1で得たMOSキャパシタに対する測定は、次に示すような方法で行った。ゲート電極面積が $10000\mu\text{m}^2$ のキャパシタのCV、IV特性を評価した。CV特性は周波数100KHz、ゲート電圧を0Vから-3V程度まで掃引し各電圧におけるキャパシタンスを評価することで求めた。CV特性から電気的膜厚とVfb（フラットバンド電圧）を計算した。また、IV特性はゲート電圧を0Vから-5V程度まで掃引し、各電圧において流れる電流値（リーク電流値）を評価することで求めた。CV測定から求めたVfbから-0.4Vを差し引いたゲート電極電圧におけるリーク電流値をIV特性から計算した。

【0140】図8は前プラズマ処理を施した場合と施さなかった場合の酸化膜のリーク特性を比較したものである。前プラズマ処理の効果のみを示すため、ここで用いられている酸化膜には窒化および後水素処理は施されていない。横軸にCV特性から求めた電気的膜厚、縦軸はゲート電圧Vfb-0.4V（Vfbが-0.8V程度のため、約-1.2V）におけるリーク電流値を示した。図8から分るように前プラズマ処理を施すことで酸化膜のリーク電流値を低減することに成功している。

【0141】図9は前プラズマ処理を施したSPAプラズマ酸化膜と、現在一般にデバイスに用いられている熱酸化膜のフラットバンド特性を比較したものである。横軸にCV特性から求めた電気的膜厚、縦軸にCV特性から求めたフラットバンド電圧を示した。膜や界面にキャリアのトラップとなる欠陥等が存在すると、フラットバンド電圧は大きく負方向にシフトすることが知られているが、前プラズマ処理を施した膜は熱酸化膜と同等の値（約-0.8V）を示しており、本工程におけるフラットバンド特性の劣化は見られなかった。

【0142】図10aは本発明における複数工程（マルチプロセス）を用いたゲート酸化膜の電気的膜厚の経時変化（各工程ごとにおける電気的膜厚の変化）を示す。横軸は処理時刻、縦軸は電気的膜厚である。窒化処理を施すことで電気的膜厚を0.8~1.5Å低減することに成功している。また、後水素処理を施すことで更なる薄膜化にも成功している。

【0143】図10bは図9と同様の膜のフラットバンド電圧の経時変化（各工程ごとにおけるフラットバンド電圧の変化）を示す。横軸は処理時刻、縦軸はフラットバンド電圧である。膜や界面にキャリアのトラップとなる欠陥等が存在すると、フラットバンド電圧は大きく負方向にシフトすることが知られているが、後プラズマ水素処理を施した膜はフラットバンドシフトの回復を示しており、窒化によって劣化した膜特性の回復が生じていることが示される。

【0144】図11から分るように水素処理を施すことで膜厚（酸素の含まれている層の厚さ）が減少していることが分る。これは水素反応種による還元作用によるも

のと考えられる。この工程を有効に利用することで制御が困難な領域（~10Å）薄膜化の制御（エッチング）も可能となる。

【0145】図10a、bから分るように、本発明を用いると、シリコン基板を大気へ暴露することなく、連続的に複数の工程を同一の原理を持った反応室内で行うことが可能となり、例えば一つの反応室ですべての工程を行うことでフットプリントの低減が実現できる。また、各工程を別の反応室で処理する場合も、動作原理が同じ反応室を並べるため、ガス配管や操作パネルを同一のものにすることも可能であり、優れたメンテ、操作性を実現できる。更に、同一の装置であるために装置間の持ち込み汚染の可能性は低く、複数の反応室を持つクラスター構成とした場合でも、処理順番を様々に変えることが可能である。この方法を用いると様々な特性を持つゲート絶縁膜の作製が可能となる。

【0146】また、上記の例では本発明を用いて作製された酸化膜をそのままゲート絶縁膜として使用しているが、本発明を用いて極薄（~10Å；オングストローム）の酸化膜を形成し、その上にHigh-kなどの高誘電率を持つ物質を成膜することで、High-k物質単独でゲート絶縁膜を形成した場合よりも界面特性、例えばトランジスタのキャリア移動度の高い積層ゲート絶縁膜構造（ゲートスタック構造）を作することも可能となる。

#### 【0147】実施例3

【0148】本態様に関わるロジックデバイスの製造方法は、大別して「素子分離→MOSトランジスタ作製→容量作製→層間絶縁膜成膜および配線」のような流れで行われる。

【0149】以下に本発明工程が含まれるMOSトランジスタ作製前工程の中でも、特に本発明と関連の深いMOS構造の作製について、一般的な例を挙げて解説を行う。

#### 【0150】（1）：基板

基板にはP型もしくはN型のシリコン基板を用い、比抵抗が $1\sim 30\Omega\text{cm}$ 、面方位（100）のものを用いる。以下にはP型のシリコン基板を用いたNHOSトランジスタの作製方法について解説を行う。

【0151】シリコン基板には目的に応じ、STIやLOCOS等の素子分離工程やチャネルインブラが施されており、ゲート酸化膜やゲート絶縁膜が成膜されるシリコン基板表面には犠牲酸化膜が成膜されている（図12）。

#### 【0152】（2）：ゲート酸化膜（ゲート絶縁膜）成膜前の洗浄

【0153】一般にAPM（アンモニア、過酸化水素水、純水の混合液）とHPM（塩酸、過酸化水素水、純水の混合液）およびDHF（フッ酸と純水の混合液）を組み合わせたRCA洗浄によって犠牲酸化膜と汚染要素

(金属や有機物、パーティクル)を除去する。必要に応じて、SPM(硫酸と過酸化水素水の混合液)、オゾン水、FPM(フッ酸、過酸化水素水、純水の混合液)、塩酸水(塩酸と純水の混合液)、有機アルカリなどを用いる時もある。

【0154】(3):下地酸化前プラズマ処理

【0155】(2)の処理後に、下地酸化膜形成の前工程として基板上にSPAプラズマ処理を施す。処理条件は例えば以下のようなものが考えられる。ウェハを真空(背圧 $1 \times 10^{-4}$  Pa以下)の反応処理室に搬送したのち、基板温度 $400^{\circ}\text{C}$ 、希ガス(例えばArガス)1000 sccm、圧力を7 Pa $\sim$ 133 Pa(50 mTorr $\sim$ 1000 mTorr)に保持する。その雰囲気中に複数のスロットを有する平面アンテナ部材(SPA)を介して $2 \sim 3 \text{ W}/\text{cm}^2$ のマイクロ波を照射することにより希ガスプラズマを発生させ、基板表面上にプラズマ処理を施す。また、場合により混合ガスに水素5 $\sim$ 30 sccm含ませることにより、水素プラズマによる酸化前処理を施す場合がある(図13)。

【0156】(4):下地酸化膜の形成

(3)の処理が施されたシリコン基板上に次に示すような方法で酸化膜を形成する。(3)の処理が施されたシリコン基板に大気への暴露を行わないまま次のようなプロセスを行う(例えば同じ反応室内で処理を行う)ことで、(3)の処理で得られた有機物汚染除去や自然酸化膜除去効果を最適に維持したまま、酸化処理を施すことが出来る。 $400^{\circ}\text{C}$ に加熱されたシリコン基板上に希ガスと酸素とをそれぞれ1000 $\sim$ 2000 sccm、50 $\sim$ 500 sccmずつ流し、圧力を13 Pa $\sim$ 133 Pa(100 mTorr $\sim$ 1000 mTorr)に保持する。その雰囲気中に複数のスロットを有する平面アンテナ部材(SPA)を介して $2 \sim 3 \text{ W}/\text{cm}^2$ のマイクロ波を照射することにより酸素および希ガスとを含むプラズマを形成し、このプラズマを用いて3の基板上に $\text{SiO}_2$ 膜を成膜する。また、処理時間を含む処理条件を変えることで膜厚を制御することが可能である(図14)。

【0157】(5):プラズマ窒化プロセス

【0158】上記(4)の処理が施された酸化膜上に次に示すような方法で窒化を施す。(4)の処理が施された酸化膜上に大気への暴露を行わないまま次のようなプロセスを行う(例えば同じ反応室内で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室内で処理を行う等)ことで、(4)の処理で得られた酸化膜上部への有機物汚染や自然酸化膜増加を抑制したまま、窒化処理を施すことが出来る。 $400^{\circ}\text{C}$ に加熱されたシリコン基板上に希ガスと窒素とをそれぞれ500 $\sim$ 2000 sccm、4 $\sim$ 500 sccmずつ流し、圧力を3 Pa $\sim$ 133 Pa(20 mTorr $\sim$ 1000 mTorr)に保持する。その雰囲気中に複数のスロットを有す

る平面アンテナ部材(SPA)を介して $2 \sim 3 \text{ W}/\text{cm}^2$ のマイクロ波を照射することにより窒素および希ガスとを含むプラズマを形成し、このプラズマを用いて基板上に酸化窒化膜( $\text{SiON}$ 膜)を成膜する(図14)。

【0159】(6):水素プラズマによる薄膜化とVfbシフトの回復

【0160】上記(5)の処理が施された酸化窒化膜上に次に示すような方法で水素プラズマによるアニール処理を施す。(5)の処理が施された酸化窒化膜上に大気への暴露を行わないまま次のようなプロセスを行う(例えば同じ反応室内で処理を行う、真空搬送系を用い、大気への暴露を防いで他の反応室内で処理を行う等)ことで、

(5)の処理で得られた酸化窒化膜上部への有機物汚染や自然酸化膜増加を抑制したまま、水素プラズマアニール処理を施すことが出来る。 $400^{\circ}\text{C}$ に加熱されたシリコン基板上に希ガスと水素とをそれぞれ500 $\sim$ 2000 sccm、4 $\sim$ 500 sccmずつ流し、圧力を3 Pa $\sim$ 133 Pa(20 mTorr $\sim$ 1000 mTorr)に保持する。その雰囲気中に複数のスロットを有する平面アンテナ部材(SPA)を介して $2 \sim 3 \text{ W}/\text{cm}^2$ のマイクロ波を照射することにより水素および希ガスとを含むプラズマを形成し、このプラズマを用いて酸化窒化膜上に水素プラズマアニール処理を施す(図14)。

【0161】(7):High-kゲート絶縁膜の形成

【0162】上記(6)で形成された下地酸化窒化膜上にHigh-k物質を成膜する。High-kゲート絶縁膜形成方法にはCVDを用いるプロセスとPVDを用いるプロセスとに大別される。ここでは主にCVDによるゲート絶縁膜の形成について述べる。CVDによるゲート絶縁膜の形成は、原料ガス(例えばHTB:Hf( $\text{O}_2$ ,  $\text{H}_2$ ),と $\text{SiH}_4$ )を $200^{\circ}\text{C}$ から $1000^{\circ}\text{C}$ の範囲内で加熱した前述のシリコン基板上に供給し、熱によって形成された反応種(例えばHfラジカルとSiラジカル、Oラジカル)を膜表面にて反応させることで成膜(例えばHfSiO)を行う。反応種はプラズマにより生成されることもある。一般にゲート絶縁膜の物理的な膜厚としては1 nmから10 nmの膜厚が用いられる(図15)。

【0163】(8):ゲート電極用ポリシリコン成膜

【0164】上記(7)で形成したHigh-kゲート絶縁膜(下地ゲート酸化膜を含む)上にMOSトランジスタのゲート電極としてポリシリコン(アモルファスシリコンを含む)をCVD法にて成膜する。ゲート絶縁膜の成膜されたシリコン基板を $500^{\circ}\text{C}$ から $650^{\circ}\text{C}$ の範囲内で加熱し、基板上にシリコンを含むガス(シラン、ジシラン等)を10から100 Paの圧力下で導入することでゲート絶縁膜上に膜厚50 nmから500 nmの電極用ポリシリコンを成膜する。ゲート電極としてはポリシリコンの代替として、シリコンゲルマニウムやメタル(W, Ru, TiN, Ta, Moなど)が用いられる

ことがある(図16)。

【0165】その後、ゲートのパターンニング、選択エッチングを行い、MOSキャパシタを形成し(図17)、イオン打ち込み(インプラ)を施してソース、ドレインを形成する(図18)。その後アニールによりドーパント(チャンネル、ソース、ドレインへインプラされたリン(P)、ヒ素(As)、ホウ素(B)等)の活性化を行う。続いて後工程となる層間絶縁膜の成膜、パターンニング、選択エッチング、メタルの成膜を組み合わせた配線工程を経て本状態に関わるMOSトランジスタが得られる(図19)。最終的にこのトランジスタ上部に様々なパターンで配線工程を施し、回路を作ること

でロジックデバイスが完成する。  
【0166】なお、本状態では絶縁膜としてHfシリケート(HfSiO膜)を形成したが、それ以外の組成からなる絶縁膜を形成することも可能である。ゲート絶縁膜としては、従来より使われている低誘電率のSiO<sub>2</sub>、SiON、また誘電率が比較的高いSiNやHigh-k物質と呼ばれる誘電率が高いAl<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、HfO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、およびZrSiO、HfSiO等のシリケートやZrAlO等のアルミネートからなる群から選択される1又は2以上のものが挙げられる。

【0167】また、本実施例では、下地のゲート酸化膜形成を目的としているが、High-k物質の成膜を行わず、下地ゲート酸化膜をそのままゲート絶縁膜として用いることも下地酸化膜の膜厚を制御することで可能である。

【0168】また、窒化処理を行わない酸化膜を下地に用いたり、酸化膜そのものをゲート絶縁膜として用いることも可能である。

【0169】さらに、必要に応じて酸化前処理や後水素処理を省いたり、処理順序を変えることも可能である。

【0170】以下に目的に応じた処理順序の例を示す。

【0171】1:ゲート酸化膜の形成

酸化前処理→酸化処理→Poly成膜

【0172】2:ゲート酸化膜の形成-1

酸化前処理→酸化処理→窒化処理→後水素処理→Poly成膜

【0173】3:ゲート酸化膜の形成-2

酸化前処理→窒化処理→酸化処理→後水素処理→Poly成膜

【0174】4:High-k下地酸化膜の形成

酸化前処理→酸化処理→後水素処理による薄膜化→High-k成膜→Poly成膜

【0175】5:High-k下地窒化膜の形成

窒化前処理(酸化前処理と同様)→窒化処理→後水素処理→High-k成膜→Poly成膜

【0176】上記に述べたのは本発明の状態の一例であり、それ以外にも様々な処理方法が同一の装置構成で可能である。

【0177】これまで述べたように、本発明を用いると、シリコン基板を大気へ暴露することなく、連続的に複数の工程を同一の原理を持った反応室内で行うことが可能となり、例えば一つの反応室ですべての工程を行うことでフットプリントの低減が実現できる。また、各工程を別の反応室で処理する場合も、動作原理が同じ反応室を並べるため、ガス配管や操作パネルを同一のものにすることも可能であり、優れたメンテナンス、操作性を実現できる。更に、同一の装置であるために装置間の持ち込み汚染の可能性は低く、複数の反応室を持つクラスター構成とした場合でも、処理順番を様々に変えることが可能である。この方法を用いると様々な特性を持つゲート絶縁膜の作製が可能となる。

【0178】

【発明の効果】上述したように本発明に依れば、様々な特性(例えば、極薄膜厚の制御や、高い清浄度等)に優れた絶縁膜を効率よく(例えば、一つの反応室で様々な工程を行うことによる小さいフットプリントや、同一の動作原理の反応室で様々な工程を行うことによる操作性の簡略化、装置間のクロスコンタミネーションの抑制等)製造することが可能となる。

【図面の簡単な説明】

【図1】本発明により形成することが可能なMOS構造の一例を示す模式断面図である。

【図2】本発明の絶縁膜の形成方法により製造可能な半導体装置の一例を示す部分模式断面図である。

【図3】本発明の絶縁膜の形成方法に使用可能なスロットブレインアンテナ(SPA)プラズマ処理ユニットの一例を示す模式的な垂直断面図である。

【図4】本発明の電子デバイス材料の製造装置に使用可能なSPAの一例を示す模式的な平面図である。

【図5】本発明の絶縁膜の形成方法に使用可能な加熱反応炉ユニットの一例を示す模式的な垂直断面図である。

【図6】本発明の形成方法における各工程の一例を示すフローチャートである。

【図7】本発明の形成方法における各工程の一例を示すフローチャートである。

【図8】酸化前プラズマ処理を施した場合と酸化前プラズマ処理を施さなかった場合の酸化膜のリーク特性を示すグラフである。横軸は電氣的膜厚、縦軸はゲート電圧Vfb-0.4Vにおけるゲート酸化膜のリーク電流値である。

【図9】図9は同様の膜のフラットバンド特性を示す。横軸は電氣的膜厚、縦軸はフラットバンド電圧である。

【図10】図10aは本発明における複数工程(マルチプロセス)を用いたゲート酸化膜の電氣的膜厚の経時変化(各工程ごとにおける電氣的膜厚の変化)を示す。横軸は処理時刻、縦軸は電氣的膜厚である。図10bは図9と同様の膜のフラットバンド電圧の経時変化(各工程ごとにおけるフラットバンド電圧の変化)を示す。横

軸は処理時刻、縦軸はフラットバンド電圧である。

【図11】図9と同様の膜における膜中酸素濃度のSIMS分析結果を示す。横軸は分析におけるエッチング時間、縦軸は酸素強度を示す。

【図12】ゲート酸化膜やゲート絶縁膜が成膜されるシリコン基板表面の一例を示す模式断面図である。

【図13】基板表面上へのプラズマ処理の一例を示す模式断面図である。

【図14】プラズマを用いる基板上への $\text{SiO}_2$ 膜の成膜および窒化処理、水素プラズマ処理の一例を示す模式断面図である。

\*

\*【図15】Hf-k材料の成膜の一例を示す模式断面図である。

【図16】Hf-k材料膜上へのゲート電極の形成の一例を示す模式断面図である。

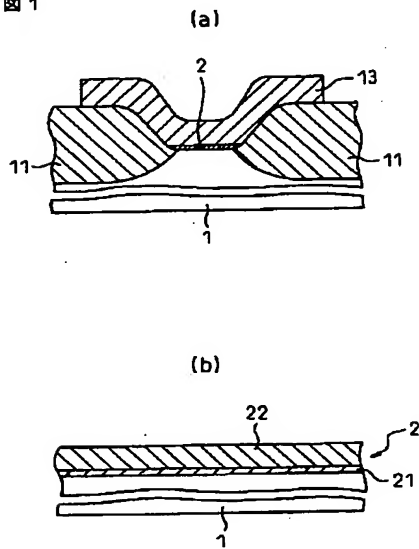
【図17】MOSキャパシタの形成の一例を示す模式断面図である。

【図18】イオン打ち込み（インブラ）によるソース、ドレイン形成の一例を示す模式断面図である。

【図19】本発明により得られるMOSトランジスタ構造の一例を示す模式断面図である。

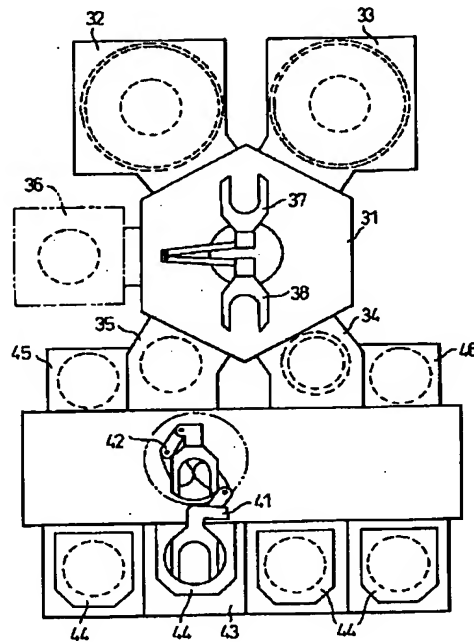
【図1】

図1



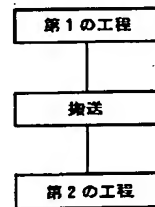
【図2】

図2



【図6】

図6



【図12】

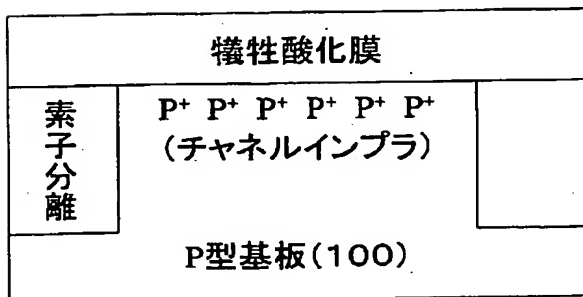
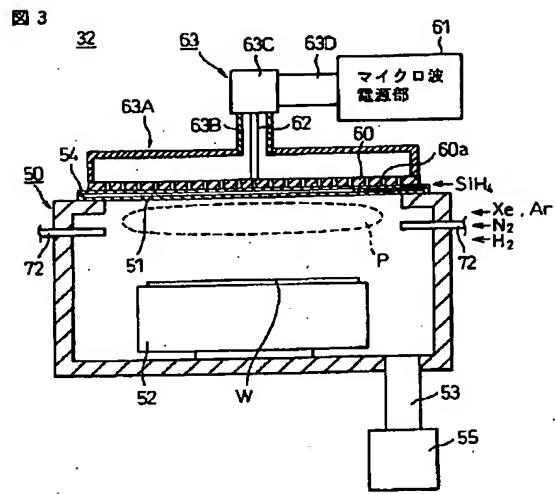
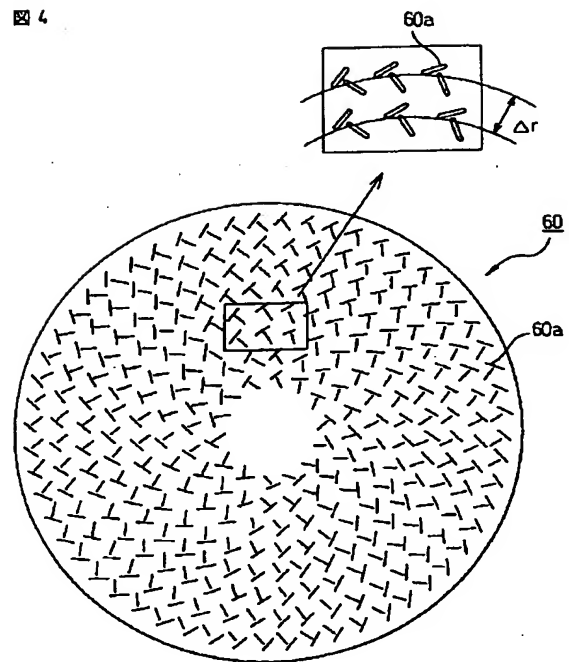


図12

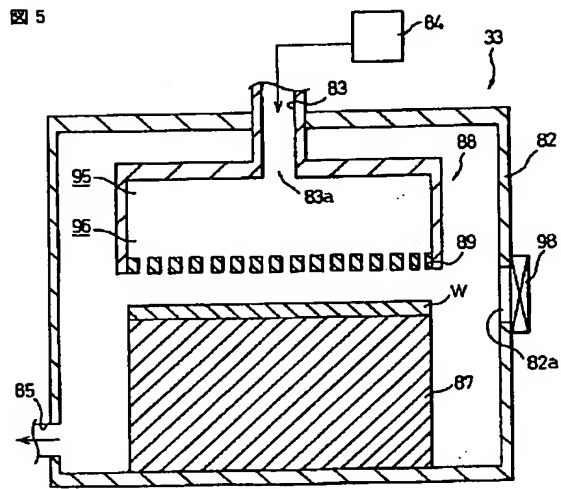
【図3】



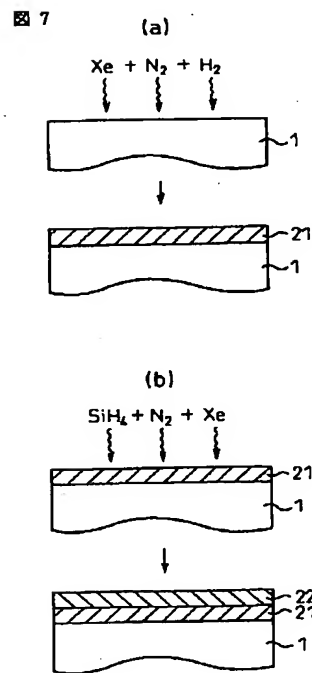
【図4】



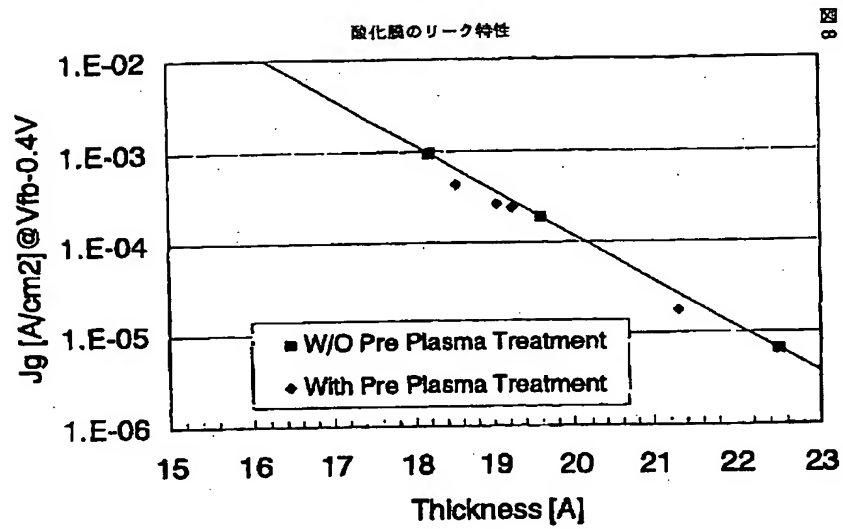
【図5】



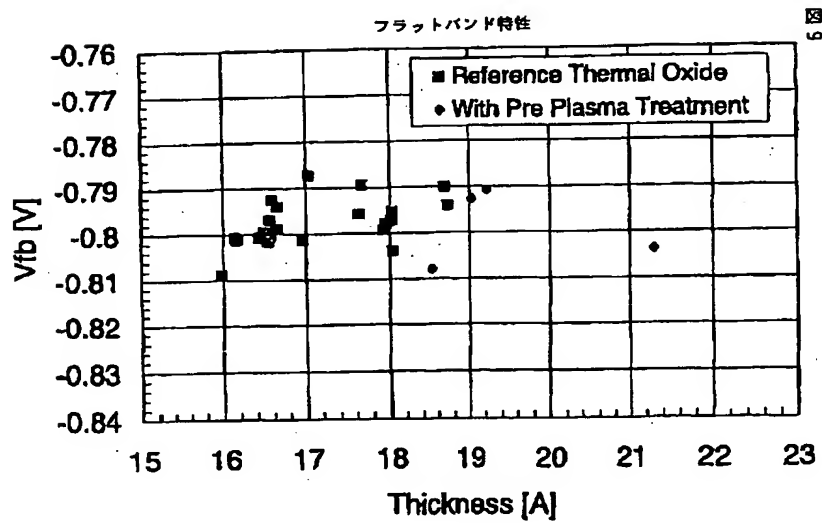
【図7】



【図8】

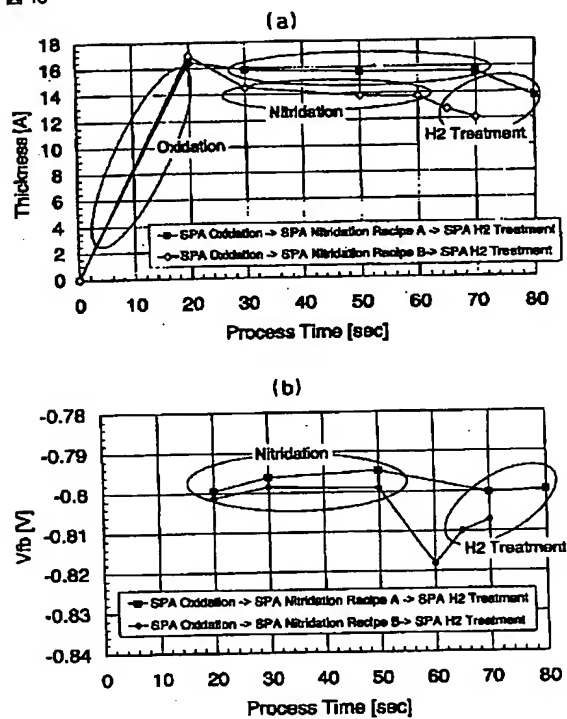


【図9】



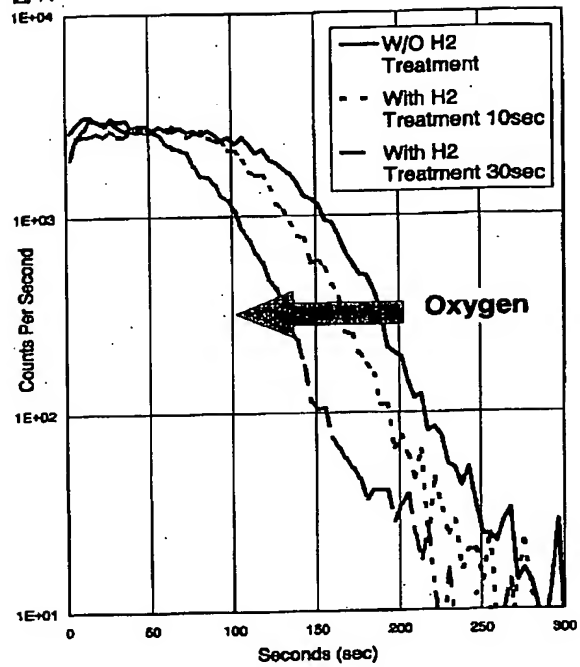
【図10】

図10



【図11】

図11



【図13】

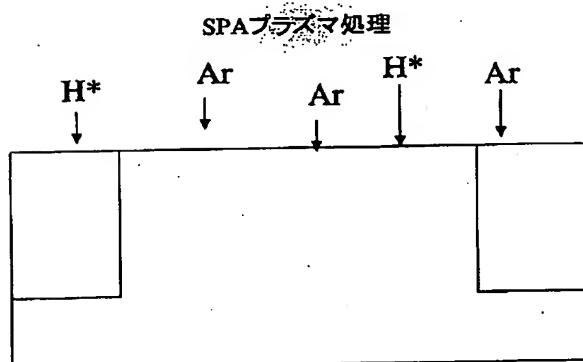


図13

【図14】

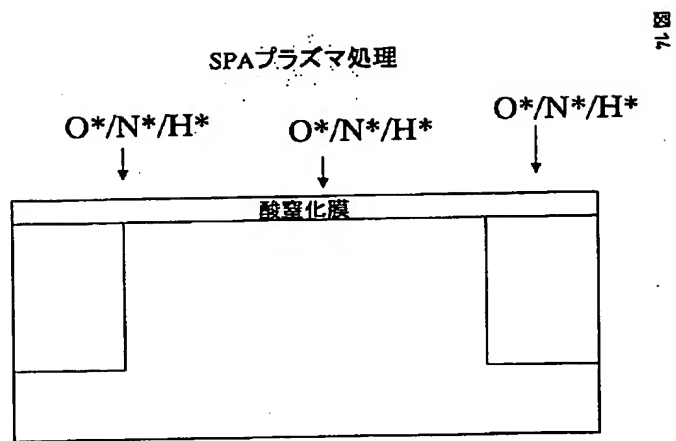


図14

【図15】

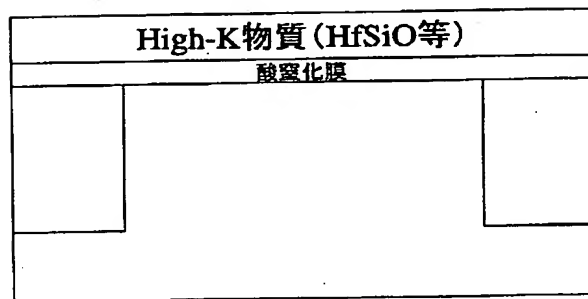


図15

【図16】

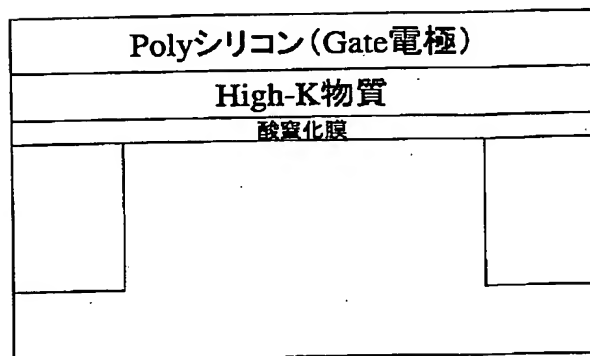
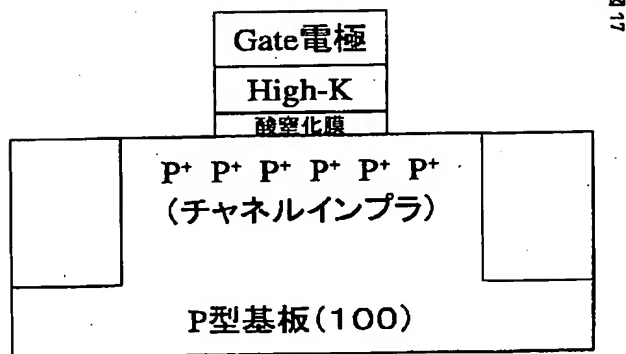
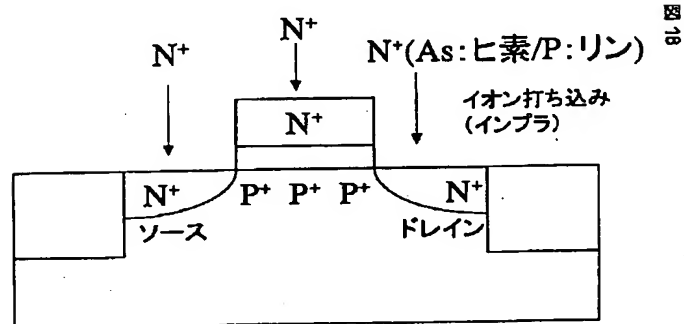


図16

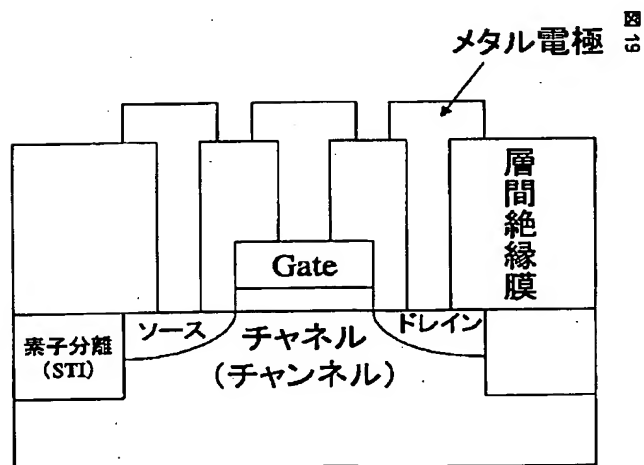
【図17】



【図18】



【図19】



## 【手続補正書】

【提出日】平成15年4月11日(2003.4.11)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0138

【補正方法】変更

## \*【補正内容】

【0138】上記(8)で作製したシリコン基板上にリソグラフィによりパターニングを施し、HF:HNO<sub>3</sub>:H<sub>2</sub>O=1:60:60の比の薬液中にシリコン基板を3分間浸すことでパターニングされていない部分のポリシリコンを溶かし、MOSキャパシタを作製した。

## フロントページの続き

(72)発明者 中村 源志

東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内

(72)発明者 尾▲崎▼ 成則

東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内

(72)発明者 中西 敏雄

東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内

(72)発明者 佐々木 勝

東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内

(72)発明者 松山 征嗣

東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内

Fターム(参考) 5F058 BA20 BC02 BC08 BC11 BC20

BE02 BF73 BF74 BJ04

5F140 AA02 AA24 AC39 BA01 BA05

BC06 BD01 BD07 BD09 BD11

BD12 BD13 BE01 BE02 BE05

BE07 BE08 BE10 BE16 BF01

BF04 BF05 BF07 BF10 BF34

BG28 BG31 BG37 BK13 BK21

CB01 CB02 CB04 CE10